

# Hardware e Software

Naoki Pross

30 novembre 2017

# Indice

<b>1</b>	<b>Memorie</b>	<b>3</b>
1.1	Definizione di memoria . . . . .	3
1.2	Classificazione delle memorie . . . . .	3
1.3	Unità di misura . . . . .	3
1.4	Notazione . . . . .	3
1.5	Read Only Memory (ROM) . . . . .	4
1.6	Random Access Memory (RAM) . . . . .	5
<b>2</b>	<b>Circuiti Digitali</b>	<b>6</b>
2.1	Generatori di Clock . . . . .	6
2.2	Circuiti di reset . . . . .	6
2.3	FlipFlops . . . . .	6
2.3.1	FlipFlop RS . . . . .	6
2.3.2	FlipFlop D . . . . .	6
2.3.3	FlipFlop JK . . . . .	6
2.4	Multiplexer e Demultiplexer . . . . .	6
2.4.1	Multiplexer come circuito combinatorio . . . . .	6
2.5	Encoder e Decoder . . . . .	7
<b>3</b>	<b>Convertitori AD - DA</b>	<b>8</b>
3.1	Quantizzazione dei dati . . . . .	8
3.2	Campionamento . . . . .	9
3.3	Sampling and Hold (Circuiti SH) . . . . .	9
3.4	Multiplicazione (Multiplexing) . . . . .	10
3.5	Convertitori digitale $\rightarrow$ analogico (DA) . . . . .	10
3.5.1	Convertitore a resistori pesati . . . . .	10
3.5.2	Convertitore a scala R-2R . . . . .	11
3.5.3	Convertitore a scala R-2R invertita . . . . .	12
3.5.4	Caratteristiche e parametri dei convertitori DA . . . . .	13
3.6	Convertitori analogico $\rightarrow$ digitale (AD) . . . . .	14
3.6.1	Convertitore a comparatori in parallelo . . . . .	14
3.6.2	Convertitore ad approssimazioni successive . . . . .	14
3.6.3	Convertitore a rampa digitale . . . . .	14
3.6.4	Convertitore a doppia rampa . . . . .	14
3.6.5	Convertitore $\Sigma\Delta$ (Sigma-Delta) . . . . .	14
3.6.6	Caratteristiche e parametri dei convertitori AD . . . . .	14
<b>4</b>	<b>Trasmissione di dati seriale</b>	<b>15</b>
4.1	Trasmissione seriale . . . . .	15
4.1.1	Tipi di trasmissione seriale . . . . .	15
4.2	USART e RS232 / RS485 . . . . .	15
4.3	Inter-Integrated Circuit (I <sup>2</sup> C) . . . . .	15
4.4	Serial Peripheral Interface Bus (SPI) . . . . .	15
4.5	Universal Serial Bus (USB) . . . . .	15
4.5.1	Struttura della rete USB . . . . .	15
4.5.2	Enumerazione e configurazione . . . . .	16
4.5.3	Versioni e specifiche . . . . .	16
4.5.4	Connettore . . . . .	16

# 1 Memorie

## 1.1 Definizione di memoria

Una memoria può essere definita come un sistema in grado di conservare delle informazioni come per esempio un Hard-Disk, un libro o un DVD. In questo capitolo sono analizzate solamente alcuni tipi di memoire dette *memorie a semi-conduttore*. In queste forme di memoria l'informazione è rappresentata da un livello di tensione (per esempio lo standard TTL) che come conseguenza richiede un supporto fisico elettronico.

## 1.2 Classificazione delle memorie

Le memorie digitali possono essere classificate in base a vari criteri quali

- Mantenimento dell'informazione senza l'uso di alimentazione:  
**Volatili** o **Non volatili**
- Tempo di permanenza con l'alimentazione:  
**Statiche** o **Dinamiche**
- Modalità di accesso:  
**Casuale** o **Sequenziale** (o entrambe)

## 1.3 Unità di misura

In informatica in molti casi sono più importanti le potenze di 2 che le potenze di 10. Perciò oltre ai prefissi del sistema internazionale kilo (k)  $10^3$ , mega (M)  $10^6$ , giga (G)  $10^9$  sono stati aggiunti dalla commissione europea IEC i prefissi kibi (Ki)  $2^{10} = 1024^1$ , mebi (Mi)  $2^{20} = 1024^2$ , gibi (Gi)  $2^{30} = 1024^3$  ecc.

Naturalmente però non essendo uno standard internazionale negli USA la commissione JEDEC utilizza un sistema differente. Lo standard americano modifica il significato dei simboli SI quando sono combinati con l'unità Byte (B). Quindi  $1 \text{ KB} = 1 \text{ KiB} = 2^{10} \text{ Bytes}$ ,  $1 \text{ MB} = 1 \text{ MiB} = 2^{20} \text{ Bytes}$ ,  $1 \text{ GB} = 1 \text{ GiB} = 2^{30} \text{ ecc.}$

Valore	Nome IEC	Simbolo IEC	Nome JEDEC	Simbolo JEDEC
$2^{10} = 1024^1$	KibiByte	KiB	KiloByte	KB
$2^{20} = 1024^2$	MebiByte	MiB	MegaByte	MB
$2^{30} = 1024^3$	GibiByte	GiB	GigaByte	GB

Tabella 1: Riassunto delle unità di misura

## 1.4 Notazione

Le memorie vengono normalmente indicate con la seguente notazione.

$$words\ count \times word\ size$$

In cui *word size* indica la dimensione della parola, ovvero il numero di bit utilizzato in uscita, mentre *words count* indica il numero di parole presenti.

Per esempio una memoria da 2 KiB (o 2KB secondo la notazione JEDEC) viene indicata come memoria  $2048 \times 8$  bit. È anche possibile indicare la dimensione con il numero di bit contenuti nella memoria. Sempre lo stesso esempio di una memoria da 2 KiB si indica quindi con 16384 bits oppure 16 K (che con lo standard JEDEC corrisponde a  $16 \cdot 1024 = 16384$ ).

## 1.5 Read Only Memory (ROM)

La memoria ROM è un circuito combinatorio che fornisce in uscita una serie di dati  $Y_0 \dots Y_{m-1}$  in corrispondenza ad una serie di ingressi  $A_0 \dots A_{n-1}$ . Con  $n$  bit in ingresso si possono avere fino a  $2^n$  celle di dimensione  $m$  in uscita. In questo tipo di memoria come implica il nome le informazioni vengono conservate permanentemente nella configurazione del circuito, siccome esse sono ‘bruciate’ fisicamente nel circuito.

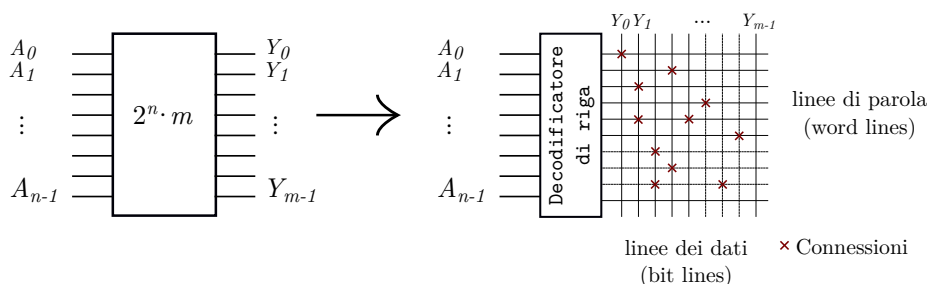


Figura 1: Funzionamento di una ROM

Per ogni indirizzo in  $A$  corrisponde una riga che accende alcuni bit sull'uscita  $Y$  in base alle connessioni presenti tra le linee dei dati e le linee delle parole. La connessione può essere costruita con differenti metodi, creando quindi differenti tipi di ROM. La seguente tabella descrive brevemente le caratteristiche di ognuna.

Acronimo	Nome	Caratteristica
ROM	Read Only Memory	Programmata in fabbrica
PROM	Programmable ROM	Programmabile dall'utente una volta sola, per sempre. La programmazione avviene bruciando dei fusibili.
EPROM	Erasable PROM	Programmabile più volte dall'utente. È possibile cancellare il contenuto esponendo il chip ai raggi UV per 15 - 20 min.
EEPROM o E <sup>2</sup> PROM	Electronically Erasable PROM	Programmabile più volte dall'utente, la memoria viene riscritta in pochi milisecondi utilizzando dei segnali elettrici.

## 1.6 Random Access Memory (RAM)

In una memoria ad accesso casuale, o memoria RAM (Random Access Memory), una qualsiasi locazione è individuata da un numero (indirizzo o address) e il suo contenuto può essere letto o modificato in un intervallo di tempo costante detto *tempo di accesso*  $t_a$ .

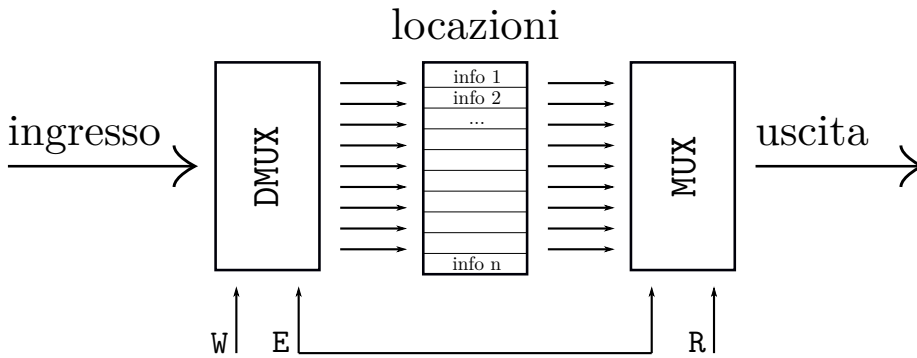


Figura 2: Metodo per accedere al contenuto di una memoria ad accesso casuale

Quando viene richiesta un'operazione di lettura con il segnale R, l'indirizzo comanda il multiplexer per passare sull'uscita il dato contenuto alla locazione richiesta. Nell'operazione di scrittura il segnale W abilita la scrittura del dato presente in ingresso nella cella indicata tramite il demultiplexer.

La RAM può essere di tipo *statico* o *dinamico*. Le **SRAM** (static RAM) sono dei flip-flops, mentre le **DRAM** (dynamic RAM) sono dei microcondensatori C-MOS nei quali 1 corrisponde al condensatore carico e 0 corrisponde al condensatore scarico.

**La RAM dinamica (DRAM)** avendo un comportamento elettrico tipico dei condensatori, essa è soggetta alla scarica, cioè tende a perdere l'informazione contenuta, perciò necessitano di essere ricaricate regolarmente con della circuiteria che esegue un *refresh*.

**La RAM statica (SRAM)** essendo un FF, è in grado di mantenere le informazioni per un tempo indeterminato affinché ci sia l'alimentazione. Gli svantaggi delle SRAM rispetto alle DRAM sono il consumo energetico (potenza dissipata) e la dimensione, che rendono la densità di bit per unità di area minore. Come vantaggio invece le SRAM tendono ad essere più veloci delle DRAM.

## 2 Circuiti Digitali

### 2.1 Generatori di Clock

### 2.2 Circuiti di reset

Un circuito di reset è un semplice dispositivo presente in tutti i sistemi digitali, in cui il compito è quello di fornire un impulso iniziale di reset all'accensione (*power up*) del sistema e ogni volta che sia necessario azzerarlo e inizializzarlo daccapo.

Figura 3: Circuito di reset

### 2.3 FlipFlops

#### 2.3.1 FlipFlop RS

#### 2.3.2 FlipFlop D

#### 2.3.3 FlipFlop JK

### 2.4 Multiplexer e Demultiplexer

#### 2.4.1 Multiplexer come circuito combinatorio

Il multiplexer può essere utilizzato anche come circuito combinatorio, utilizzando gli ingressi di selezione come entrate, e collegando delle costanti agli ingressi dei dati.

Figura 4: Esempio di Multiplexer utilizzato per implementare un circuito combinatorio

## 2.5 Encoder e Decoder

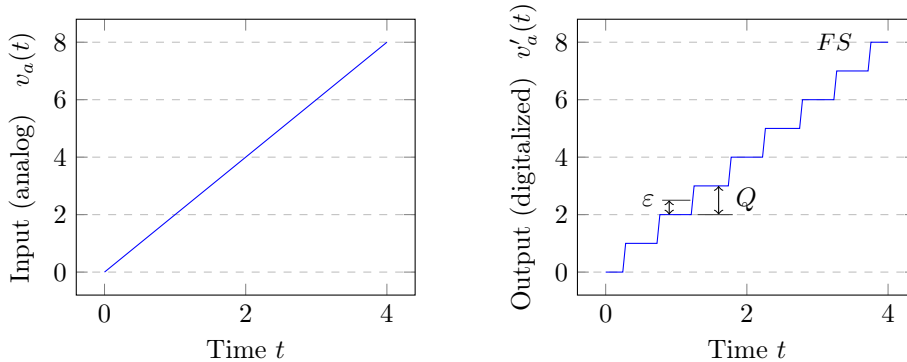
## 3 Convertitori AD - DA

### 3.1 Quantizzazione dei dati

Il processo di digitalizzazione dei segnali analogici introduce il concetto di *quantizzazione*. Infatti mentre un segnale analogico può assumere infiniti valori in un campo continuo la sua rappresentazione digitale può assumere soltanto un numero finito di valori *discreti*. Gli infiniti valori del segnale analogico devono pertanto essere quantizzati ovvero raggruppati in un certo numero di fasce delimitate da livelli fissi detti *livelli di quantizzazione*; a ciascuna fascia di valori analogici corrisponderà un valore digitale. La distanza fra due livelli di quantizzazione continui costituisce il *passo di quantizzazione*  $Q^1$ , a cui corrisponde il valore del bit meno significativo.

$$Q = \frac{V_{ref}}{2^n} \quad FS = Q \cdot 2^n = V_{ref}$$

Un dato digitale ad  $n$  bit può esprimere  $2^n$  valori; il valore digitale  $2^n$  viene pertanto associato al valore di fondo scala  $FS$  o  $FSR$  (Full scale range) della grandezza analogica.



**Risoluzione.** In un ADC i valori digitali in uscita non riproducono dunque fedelmente il segnale di ingresso ma ne danno una rappresentazione approssimata tanto più precisa quanto minore è il passo di quantizzazione  $Q$ . Il numero di bit  $n$  in uscita di un convertitore AD, così come il numero dei bit di ingresso di un convertitore DA viene generalmente chiamato *risoluzione*<sup>2</sup>.

$$R = \log_2 \frac{V_{ref}}{Q} = n$$

**Errore di quantizzazione.** Avendo quantizzato il segnale analogico, ogni valore non campionato sarà sostituito dall'ultimo valore misurato (effetto 'scaletta'). Perciò nel punto in cui l'errore del segnale digitale sarà massimo rispetto a quello analogico, l'errore sarà di esattamente:

$$\varepsilon = \frac{1}{2}Q \quad \varepsilon\% = \frac{1}{2^{n+1}}$$

<sup>1</sup>Definito spesso anche come *LSB*

<sup>2</sup>Ogni tanto indicato anche come il valore del passo di quantizzazione, dunque  $R = 2^n$



## 3.2 Campionamento

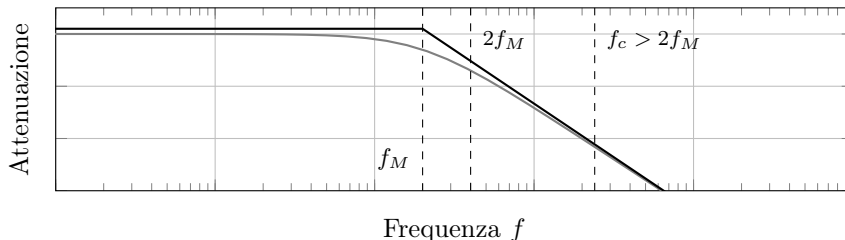
Un altro concetto implicito nella conversione AD è quello di *campionamento* del segnale in vari istanti successivi. Infatti la conversione consiste nel prelevamento di  $n$  campioni del segnale ad un dato istante e nella determinazione del corrispondente valore digitale, che resterà fisso finché non verrà prelevato un altro campione per una nuova conversione. La frequenza con cui il segnale viene prelevato è detta *frequenza di campionamento*; essa ha un'importanza fondamentale di riferimento al contenuto informativo del segnale campionato e alle possibilità di ricostruire fedelmente il segnale analogico originario.

**Il teorema del campionamento** noto anche come teorema di *Shannon*, stabilisce che la frequenza di campionamento deve essere maggiore o uguale al doppio di quella componente di frequenza più elevata del segnale in esame. In altre parole, intuitivamente la frequenza di campionamento  $f_c$  per un segnale  $v_a(t)$  deve essere *sempre* essere maggiore del *doppio* della frequenza maggiore dell'armonica del segnale  $f_M$ .

$$f_c \geq 2f_M$$

Per ricostruire fedelmente il segnale  $v_a(t)$  occorrerà trattare il segnale campionato  $v'_a(t)$  con un filtro passa-basso la cui risposta sia piatta fino alla frequenza  $f_M$  ed attenuante alla frequenza di campionamento  $f_c$ .

Figura 5: Diagramma di bode per il filtro passa-basso



Benchè la frequenza di campionamento minima sia  $f_c = 2f_M$ , in pratica si preferisce campionare ad una frequenza maggiore per migliorare le prestazioni del filtro, siccome i filtri reali attenuano maggiormente le frequenze più distanti dalla frequenza di taglio.

## 3.3 Sampling and Hold (Circuiti SH)

Dal momento che i convertitori A/D impiegano un tempo  $t_{conv}$  finito (generalmente da 20 ns a 1  $\mu$ s) per digitalizzare un segnale analogico in ingresso eventuali variazioni del segnale durante il processo di conversione possono determinare errori significativi. Se la variazione del segnale analogico  $v_a$  durante il tempo di conversione  $t_{conv}$  è superiore al valore di  $Q$ , il dato digitale di uscita non mantiene la risoluzione specificata. Occorre quindi che sia rispettata la relazione

$$\max\left(\frac{dv}{dt}\right) \approx \max\left(\frac{\Delta v_a}{\Delta t}\right) \leq \frac{Q}{t_{conv}}$$

In alternativa questo problema può essere risolto utilizzando circuiti di *campionamento e mantenimento* (S/H) in grado di compiere un campionamento ‘veloce’ del segnale analogico e di mantenere stabile stabile durante tutto il processo di conversione il valore acquisito.

Figura 6: Circuito di sampling e hold

Durante il campionamento il segnale di controllo  $V_c$  chiude l'interruttore analogico consentendo al condensatore  $C$  di caricarsi al valore di  $v_a$ ; il tempo di carica del condensatore è assai ridotta siccome le uniche resistenze in gioco sono la resistenza in uscita dell'opamp  $U_1$  e la  $r_{on}$  dell'interruttore. Idealmente da quando  $V_c$  apre l'interruttore il condensatore rimane carico per un tempo infinito, permettendo al circuito di misura di convertire il campione. In realtà sono presenti delle lievi perdite dalle correnti di polarizzazione, dall'interruttore e dal condensatore stesso. Per questo motivo occorre utilizzare componenti con prestazioni adeguate, ad esempio operazionale con ingressi FET e condensatori al teflon.

### 3.4 Multiplazione (Multiplexing)

Nei casi in cui più segnali debbano essere acquisiti da un unico sistema di elaborazione o di trasmissione, si deve ricorrere a tecniche di *multiplazione*. La multiplazione di un ingresso del convertitore A/D è ottenibile semplicemente aggiungendo all'ingresso un *multiplexer*, un circuito con più entrate ed una sola uscita, con delle linee di controllo che permettono di selezionare quale linea viene collegata all'uscita.

### 3.5 Convertitori digitale $\rightarrow$ analogico (DA)

#### 3.5.1 Convertitore a resistori pesati

Nella figura 7 è illustrato il circuito DAC con il principio di funzionamento più semplice. L'ingresso è costituito da un segnale binario di  $n$  bit; ciascun bit controlla uno dei commutatori  $S_0, S_1, \dots, S_{n-1}$  in modo tale che ciascun resistore viene collegato alla tensione di riferimento  $V_{ref}$  o a massa a seconda del valore 1 o 0 del bit.

Figura 7: Convertitore a resistori pesati

La corrente  $I_f$  che si ottiene collegando e scollegando gli interruttori è definita dalla somma delle correnti di ogni ramo.

$$I_f = \frac{2^0 V_{ref}}{R} S_0 + \frac{2^1 V_{ref}}{R} S_1 + \frac{2^2 V_{ref}}{R} S_2 + \dots + \frac{2^{n-1} V_{ref}}{R} S_{n-1}$$

La tensione in uscita è generata dall'amplificatore è descrivibile quindi come:

$$V_o = -V_{ref} \cdot \frac{R_f}{R} (2^{n-1} S_{n-1} + \dots + 2^2 S_2 + 2^1 S_1 + 2^0 S_0)$$

In notazione ridotta:

$$V_o = -V_{ref} \cdot \frac{R_f}{R} \cdot \sum_i 2^i \cdot S_i$$

Il principale inconveniente di questo convertitore è costituito dal fatto che esso richiede resistori di valore estremamente disomogeneo.

### 3.5.2 Convertitore a scala R-2R

Un miglioramento rispetto al convertitore a resistori pesati è illustrato nella figura 8; il convertitore a scala R-2R utilizza solo resistori di due valori R e 2R. Si osservi che la resistenza vista da ciascuno degli ingressi  $S$  vale sempre 3R, indipendentemente dalla configurazione dei bit di ingresso.

Figura 8: Convertitore a scala R-2R

La tensione in uscita per un convertitore a scala R-2R è descritta in forma generale dalla seguente relazione.

$$V_o = -\frac{V_{ref}}{2^n} \cdot \frac{R_f}{3R} \cdot (2^{n-1}S_{n-1} + \dots + 2^2S_2 + 2^1S_1 + 2^0S_0)$$

In notazione ridotta:

$$V_o = -\frac{V_{ref}}{2^n} \cdot \frac{R_f}{3R} \cdot \sum_i 2^i \cdot S_i$$

Questo convertitore come per il convertitore a resistori pesati presenta due inconvenienti che limitano le prestazioni alle alte velocità. I commutatori di questi ultimi quando sono a riposo sono collegati a massa, ma così facendo le capacità parassite dei conduttori vengono costantemente caricate e scaricate dal cambiamento di stato del commutatore, rallentando il tempo di risposta.

### 3.5.3 Convertitore a scala R-2R invertita

Per ovviare al problema del convertitore a scala R-2R la scala invertita ha una corrente costante che scorre nei resistori e che viene deviata verso l'operazionale quando il commutatore è attivo.

Figura 9: Convertitore a scala R-2R invertita

La tensione in uscita per un convertitore a scala R-2R invertita è descritta in forma generale dalla seguente relazione.

$$V_o = -\frac{V_{ref}}{2^n} \cdot \frac{R_f}{R} \cdot (2^{n-1}S_{n-1} + \dots + 2^2S_2 + 2^1S_1 + 2^0S_0)$$

### 3.5.4 Caratteristiche e parametri dei convertitori DA

I convertitori D/A in commercio accettano in ingresso dati digitali in formato parallelo o anche seriale espressi in codici diversi, binario, binario con offset, in complemento a due, BCD, con un numero di bit compreso generalmente tra 8 e 16. I livelli elettrici dei dati di ingresso variano con la tecnologia con cui sono realizzati i convertitori e possono essere TTL, CMOS, ECL.

Per quanto riguarda la grandezza analogica di uscita, nella maggior parte dei casi i convertitori forniscono una corrente, che può essere convertita in tensione mediante un operazionale esterno. In altri casi gli integrati contengono internamente un amplificatore operazionale e forniscono un'uscita in tensione.

Un ultimo cenno meritano gli ingressi di controllo disponibili in numerosi convertitori: ingresso dati seriale, ingresso di selezione (*chip select*), controllo della memorizzazione dei dati digitali (*strobe*), ecc. Essi si rivelano molto utili in applicazioni in cui la sincronizzazione e il controllo della conversione sono effettuati da un microprocessore.

I principali parametri che definiscono le prestazioni dei convertitori D/A sono:

**Risoluzione.** Specifica il numero dei bit del dato digitale di ingresso e conseguentemente il numero dei valori distinti del segnale analogico in uscita.

**Precisione.** Fornisce la misura della differenza fra il valore del segnale analogico di uscita reale e quello ideale, per un dato codice di ingresso; tiene conto di varie cause di errore, in particolare della non linearità del dispositivo e degli errori di guadagno e di offset della circuiteria interna.

**Linearità.** In un convertitore D/A ideale, incrementi uguali del dato digitale di ingresso devono produrre incrementi uguali del segnale di uscita; pertanto la curva di trasferimento ingresso-uscita è una retta. *L'errore di linearità* esprime la massima deviazione della curva di trasferimento reale da quella ideale. Generalmente l'errore di linearità è espresso in frazioni del passo di quantizzazione  $Q$  (es  $\frac{1}{4}Q$ ). Si noti che un errore di linearità pari a  $\pm \frac{1}{2}Q$  è il massimo consentito affinché all'aumento del dato digitale di ingresso corrisponda un aumento del segnale di uscita.

**Tempo di assestamento** (*Settling time*). È definito come il tempo necessario affinché il segnale analogico di uscita dopo una data commutazione degli ingressi, si assesti e si mantenga in un determinato intorno (generalmente )

- 3.6 Convertitori analogico  $\rightarrow$  digitale (AD)**
- 3.6.1 Convertitore a comparatori in parallelo**
- 3.6.2 Convertitore ad approssimazioni successive**
- 3.6.3 Convertitore a rampa digitale**
- 3.6.4 Convertitore a doppia rampa**
- 3.6.5 Convertitore  $\Sigma\Delta$  (Sigma-Delta)**
- 3.6.6 Caratteristiche e parametri dei convertitori AD**

## 4 Trasmissione di dati seriale

### 4.1 Trasmissione seriale

Il sistema più semplice per la trasmissione di dati è un bus *parallelo*. Con collegamento parallelo si designa la trasmissione simultanea di  $n$  bit. Questi bit sono inviati simultaneamente su  $n$  vie differenti (una via può essere ad esempio un filo, un cavo o qualsiasi altro supporto fisico).

In contrapposizione in una trasmissione *seriale* i dati sono inviati bit per bit sulla via di trasmissione. Tuttavia, dato che la maggior parte dei dispositivi processa le informazioni in modo parallelo, si tratta di serializzare i dati che arrivano in modo parallelo a livello dell'emittente, e di eseguire il processo inverso a livello del ricevente.

#### 4.1.1 Tipi di trasmissione seriale

---

SIMPLEX	Trasmissione Unidirezionale
HALF DUPLEX	Trasmissione bidirezionale alternata (uno alla volta)
FULL DUPLEX	Trasmissione bidirezionale contemporanea

---

### 4.2 USART e RS232 / RS485

Il protocollo RS232 è uno standard definito negli anni '60 dall'EIA (Electronic Industries Association) originariamente per essere utilizzato dai modem. Il protocollo è implementa una trasmissione *full duplex*.

### 4.3 Inter-Integrated Circuit (I<sup>2</sup>C)

### 4.4 Serial Peripheral Interface Bus (SPI)

### 4.5 Universal Serial Bus (USB)

L'*Universal Serial Bus*, è un interfaccia standard industriale per la comunicazione seriale sviluppata negli anni '90, con l'obiettivo di unificare in un protocollo e connettore unico la comunicazione, alimentazione e connessione tra periferiche e computers.

#### 4.5.1 Struttura della rete USB

La rete USB è una struttura ad albero (grafo) in grado di estendersi fino a 7 livelli (tiers). I nodi di questa struttura ad albero possono essere *Hubs* o *Functions*; I Hubs hanno la funzione di estendere la rete, potendo collegare nuovi dispositivi in un nuovo Tier, mentre i nodi Functions implementano una funzione specifica di una periferica (Esempio: Tastiera USB).

Figura 10: Struttura della rete USB

Il primo Hub al Tier 1, è detto *Root Hub*. Dal Tier 2 al Tier 6 sono ammessi nodi di qualsiasi tipo, mentre all'ultimo Tier (7) possono essere collegati unicamente nodi Functions.

#### 4.5.2 Enumerazione e configurazione

#### 4.5.3 Versioni e specifiche

Versione	Anno di rilascio	Nome	Velocità massima
USB 1.0	Gennaio 1996	Low Speed	1.5 MBit/s
USB 1.1	Agosto 1998	Full Speed	12 MBit/s
USB 2.0	Aprile 2000	High Speed	480 MBit/s
USB 3.0	Novembre 2008	SuperSpeed	5 GBit/s
USB 3.1	Luglio 2012	SuperSpeed+	10 GBit/s
USB 3.2	Settembre 2017	SuperSpeed+	20 GBit/s

Tabella 2: Specifiche dell'USB [3]

#### 4.5.4 Connettore



## Riferimenti bibliografici

- [1] Elettronica: Componenti digitali e programmabili, *E. Cuniberti e L. De Lucchi*, Petrini 2008
- [2] I bus di comunicazione seriale, *Luigi Ferrigno*,  
[http://webuser.unicas.it/misure/MAQ\\_270/USB/SERIALE%20ED%20USB.pdf](http://webuser.unicas.it/misure/MAQ_270/USB/SERIALE%20ED%20USB.pdf)
- [3] USB. (2017, November 25). *Wikipedia, The Free Encyclopedia*,  
<https://en.wikipedia.org/w/index.php?title=USB&oldid=812045888>